

Docket No.: 2336-196

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :  
LEE, Byoung Hwa et al. :  
U.S. Patent Application No. *Not yet assigned* : Group Art Unit: *Not yet assigned*  
Filed: *Herewith* : Examiner: *Not yet assigned*  
For: MATCHING CIRCUIT AND LAMINATED DUPLEXER WITH THE MATCHING  
CIRCUIT

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of Korean Patent Application No. 2003-30514, filed May 14, 2003 in the present application. The certified copy is submitted herewith.

Respectfully submitted,

**LOWE HAUPTMAN GILMAN & BERNER, LLP**



Randy A. Noranbrock  
Registration No. 42,940

for:

Benjamin J. Hauptman  
Registration No. 29,310

1700 Diagonal Road, Suite 310  
Alexandria, Virginia 22314  
(703) 684-1111 BJH/etp  
Facsimile: (703) 518-5499  
Date: July 22, 2003

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0030514  
Application Number

출원년월일 : 2003년 05월 14일  
Date of Application MAY 14, 2003

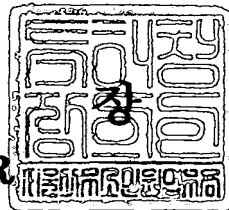
출원인 : 삼성전기주식회사  
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003      년      06      월      20      일

특      허      청

COMMISSIONER



## 【서지사항】

|            |                                 |
|------------|---------------------------------|
| 【서류명】      | 특허출원서                           |
| 【권리구분】     | 특허                              |
| 【수신처】      | 특허청장                            |
| 【참조번호】     | 0001                            |
| 【제출일자】     | 2003.05.14                      |
| 【국제특허분류】   | H03F 3/45                       |
| 【발명의 명칭】   | 정합회로 및 그 정합회로를 포함하는 적층형 듀플렉서    |
| 【발명의 영문명칭】 | LAMINATED DUPLEXER              |
| 【출원인】      |                                 |
| 【명칭】       | 삼성전기 주식회사                       |
| 【출원인코드】    | 1-1998-001806-4                 |
| 【대리인】      |                                 |
| 【성명】       | 손원                              |
| 【대리인코드】    | 9-1998-000281-5                 |
| 【포괄위임등록번호】 | 2002-047982-8                   |
| 【대리인】      |                                 |
| 【성명】       | 함상준                             |
| 【대리인코드】    | 9-1998-000619-8                 |
| 【포괄위임등록번호】 | 2002-047984-2                   |
| 【발명자】      |                                 |
| 【성명의 국문표기】 | 이병화                             |
| 【성명의 영문표기】 | LEE,Byoung Hwa                  |
| 【주민등록번호】   | 691024-1405428                  |
| 【우편번호】     | 463-906                         |
| 【주소】       | 경기도 성남시 분당구 이매동 한신아파트 202동 904호 |
| 【국적】       | KR                              |
| 【발명자】      |                                 |
| 【성명의 국문표기】 | 김남철                             |
| 【성명의 영문표기】 | KIM,Nam Chul                    |
| 【주민등록번호】   | 610206-1009328                  |

|            |  |
|------------|--|
| 【우편번호】     | 305-340                                |
| 【주소】       | 대전광역시 유성구 도룡동 현대아파트 101-703            |
| 【국적】       | KR                                     |
| 【발명자】      |  |
| 【성명의 국문표기】 | 피터스 제임스 마이크                            |
| 【성명의 영문표기】 | PETERS, James Mike                     |
| 【주소】       | 미국 , 21701 메릴랜드, 프레더릭 104 이스트 2번가      |
| 【국적】       | US                                     |
| 【발명자】      |  |
| 【성명의 국문표기】 | 전명표                                    |
| 【성명의 영문표기】 | JUN, Myung Pyo                         |
| 【주민등록번호】   | 601005-1384124                         |
| 【우편번호】     | 441-703                                |
| 【주소】       | 경기도 수원시 권선구 구운동 삼환아파트 6동 1106호         |
| 【국적】       | KR                                     |
| 【발명자】      |  |
| 【성명의 국문표기】 | 윤정호                                    |
| 【성명의 영문표기】 | Y00N, Jeong Ho                         |
| 【주민등록번호】   | 610304-1001125                         |
| 【우편번호】     | 463-010                                |
| 【주소】       | 경기도 성남시 분당구 정자동 정든마을 한진8단지아파트 801-1102 |
| 【국적】       | KR                                     |
| 【발명자】      |  |
| 【성명의 국문표기】 | 이건                                     |
| 【성명의 영문표기】 | LEE, Ian                               |
| 【주민등록번호】   | 731023-1055610                         |
| 【우편번호】     | 137-773                                |
| 【주소】       | 서울특별시 서초구 서초2동 우성아파트 17-1101           |
| 【국적】       | KR                                     |
| 【발명자】      |  |
| 【성명의 국문표기】 | 박동석                                    |
| 【성명의 영문표기】 | PARK, Dong Seok                        |
| 【주민등록번호】   | 670925-1025429                         |

|            |  |
|------------|--|
| 【우편번호】     | 136-141  |
| 【주소】       | 서울특별시 성북구 장위1동 209-26  |
| 【국적】       | KR   |
| 【발명자】      |  |
| 【성명의 국문표기】 | 박상수  |
| 【성명의 영문표기】 | PARK, Sang Soo   |
| 【주민등록번호】   | 721024-1025515   |
| 【우편번호】     | 442-470  |
| 【주소】       | 경기도 수원시 팔달구 영통동 신나무실 풍림아파트 603동<br>1403호   |
| 【국적】       | KR   |
| 【심사청구】     | 청구   |
| 【취지】       | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에<br>의한 출원심사를 청구합니다. 대리인<br>손원 (인) 대리인<br>함상준 (인) |
| 【수수료】      |  |
| 【기본출원료】    | 20 면 29,000 원  |
| 【가산출원료】    | 18 면 18,000 원  |
| 【우선권주장료】   | 0 건 0 원  |
| 【심사청구료】    | 24 항 877,000 원   |
| 【합계】       | 924,000 원  |
| 【첨부서류】     | 1. 요약서·명세서(도면)_1통  |

## 【요약서】

## 【요약】

본 발명은 안테나단자와 송신단자 및 수신단자 사이의 특성 임피던스( $Z_0$ )의 정합, 송신 및 수신신호 사이의 아이솔레이션을 수행하는 정합회로에 포함되는 도체 패턴의 물리적인 길이를 줄여 소형화시킬 수 있는 정합회로 및 그 정합회로를 포함하는 적층형 듀플렉서에 관한 것이다.

본 발명은, 복수의 유전체층(50)으로 이루어지고, 안테나단자(ANT)와 송신필터(60) 및 수신필터(70) 사이에 연결되어, 상기 송신 필터(60) 및 수신 필터(70)와의 정합을 취하는 적층형 듀플렉서의 정합회로에 있어서, 상기 안테나 단자(ANT)에 연결된 안테나 전극(ANTE) 및 송신 필터(60)에 전기적으로 연결된 도체 패턴으로 이루어진 송신 정합부(81); 상기 송신 정합부(81)의 도체 패턴에 수직방향으로 소정간격 이격된 제1 접지전극(GND1); 상기 안테나 전극(ANTE)과 및 수신 필터(70)에 전기적으로 연결된 도체 패턴으로 이루어진 수신 정합부(82); 및 상기 수신 정합부(82)의 도체 패턴에 수직방향으로 소정간격 이격된 제2 접지전극(GND2)을 구비함을 특징으로 하며, 또한, 이러한 정합회로를 포함하는 적층형 듀플렉서를 제공하는 것을 특징으로 한다.

이러한 본 발명에 의하면, 보다 소형화가 가능하게 되고, 삽입손실을 개선할 수 있으며, 안테나에서의 반사특성을 개선하여 대역통과 특성을 향상시킬 수 있는 효과가 있다

## 【대표도】

도 5

## 【색인어】

적층형 듀플렉서, 정합, 임피던스, 위상

## 【명세서】

## 【발명의 명칭】

정합회로 및 그 정합회로를 포함하는 적층형 듀플렉서{LAMINATED DUPLEXER}

## 【도면의 간단한 설명】

도 1은 일반적인 듀플렉서의 블록도이다.

도 2는 종래의 적층형 듀플렉서의 사시도이다.

도 3은 도 2의 정합회로의 부분 확대도이다.

도 4는 도 2의 수신필터 및 정합회로의 등가회로도이다.

도 5는 본 발명에 따른 적층형 듀플렉서의 사시도이다.

도 6은 도 5의 듀플렉서의 정단면도이다.

도 7은 도 5의 정합회로의 확대도이다.

도 8은 도 5의 적층형 듀플렉서의 등가회로도이다.

도 9는 등가 정합회로도로서, (a)는 단일 스트립 라인으로 이루어진 정합회로도이고, (b)는 스트립 라인 및 그 양측에 접속된 커패시터로 이루어진 정합회로도이다.

도 10은 본 발명의 적층형 듀플렉서의 특성 그래프이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

50 : 유전체            60 : 송신 필터

61, 62 : 제1, 제2 용량 전극    63, 64, 65 : 제1-제3 스트립 공진 라인

66 : 제1 크로스 커플링 라인    67 : 제1 로딩 전극

70 : 수신 필터            71,72 : 제3,제4 용량 전극

73,74,75 : 제4-제6 스트립 공진 라인    76 : 제2 크로스 커플링 라인

77 : 제2 로딩 전극    80 : 정합 회로

81 : 송신 정합회로    81a : 송신측 용량 전극

81b : 송신측 스트립 라인    82 : 수신 정합회로

82a : 수신측 용량 전극    82b : 수신측 스트립 라인

ANT : 안테나단자    ANTE : 안테나 전극

TX : 송신단자    RX : 수신단자

GND1,GND2 : 제1,제2 접지전극

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<24> 본 발명은 휴대폰 등의 이동통신 단말기에 적용되는 적층형 듀플렉서에 관한 것으로, 특히 안테나단자와 송신단자 및 수신단자 사이의 특성 임피던스( $Z_0$ )의 정합, 송신 및 수신신호 사이의 아이솔레이션을 수행하는 정합회로에 포함되는 도체 패턴의 물리적인 길이를 줄일 수 있도록 함으로써, 보다 소형화가 가능하게 되고, 삽입손실을 개선할 수 있으며, 안테나에서의 반사특성을 개선하여 대역통과 특성을 향상시킬 수 있는 정합회로 및 그 정합회로를 포함하는 적층형 듀플렉서에 관한 것이다.



<25> 일반적으로, 기존의 벌크(Bulk)타입의 일체형 듀플렉서는 성능면에서 우수하나 사이즈를 줄이기 힘들다는 단점이 있고, SAW 듀플렉서는 소형화는 가능하나 파워 캐패시티(Power Capacity)가 낮고 습도 및 온도에 민감하며 원가가 벌크타입의 일체형 듀플렉서보다 상대적으로 높다는 단점이 있다. 이에 반해, 적층형 듀플렉서는 소형화가 가능하고 원가 경쟁력이 있다. 그리고 SAW 듀플렉서에 비해 파워 캐패시티(Power Capacity)면에서 월등하며 습도 및 온도에도 강하다. 다만 성능이 벌크타입의 일체형 듀플렉서나 SAW 듀플렉서에 비해 떨어지므로 현재 적층형 듀플렉서의 성능을 향상시키기 위한 연구가 활발히 이루어지고 있는 실정이다.

<26> 이러한 적층형 듀플렉서의 성능을 향상시키기 위한 연구에서 좋은 성과가 있을 경우에는 적층형 듀플렉서가 향후 벌크타입의 일체형 듀플렉서나 SAW 듀플렉서를 대체할 것으로 기대한다.

<27> 이러한 적층형 듀플렉서의 성능을 향상시키기 위해서는 크게 다음과 같은 연구가 이루어져야 한다.

<28> (1) 재료 : Q값이 높은 ( $> 1500$ ) 중유전율(상대 유전율  $\approx 20 - 100$ )의 저온 동시소성 세라믹(LTCC: Low Temperature Cofired Ceramics)

<29> (2) 전극 : 도전율이 높은 전극 재료 ( $> 4.83 \times 10^7$  simens/m).

<30> (3) 공진기 구조 :  $Q_u$ 가 높은 공진기 구조.

- <31> (4) 정합회로 : 정합회로가 송신과 수신필터를 완벽하게 아이솔레이션(Isolation)시켜야 하며 송신과 수신필터의 특성을 가능하면 열화시키지 않도록 해야한다.
- <32> 도 1은 일반적인 듀플렉서의 블록도로서 도 1에 도시된 바와 같이, 기본의 듀플렉서의 구조를 간단히 살펴보면, 일반적인 듀플렉서는 송신필터, 수신필터, 그리고 상기 두 필터를 결합시키는 정합회로로 크게 구분되는데, 여기서, 정합회로는 두 필터가 결합함으로써 생기는 상호간의 간섭을 최소화하는 역할을 하며, 송신필터와 수신필터의 삽입손실 등의 전기적인 특성에 최소한의 영향을 미치도록 설계되어야 한다.
- <33> 다음은 종래의 적층형 듀플렉서중의 하나의 예로서, 일본특개 제2002-164710호에 개시되어 있는 적층형 듀플렉서에 대해서는 도 2 내지 도 4를 참조하여 설명한다.
- <34> 도 2는 종래의 적층형 듀플렉서의 사시도로서 도 2를 참조하면, 적층형 듀플렉서 A 중, 1은 유전체(적층체), 2는 접지전극, 3은 스트립 라인(30-35), 4는 내부 배선 단자, 5는 송신 필터, 6은 수신 필터, 7은 정합 회로이다.
- <35> 상기 적층체(1)는 복수의 유전체층(1a)이 적층되고, 그 재질로는 유전체 세라믹 재료와 저온 소성화를 가능하게 하는 산화물이나 저융점 유리 재료로 구성되고 있다. 즉, 유전체 세라믹 재료란, 예를 들면, BaO-TiO<sub>2</sub>계, Ca-TiO<sub>2</sub>계, MgO-TiO<sub>2</sub>계 등이 있고, 저온 소성화를 가능하게 하는 산화물로는, BiVO<sub>4</sub>, CuO, Li<sub>2</sub>O, B<sub>2</sub>O<sub>3</sub> 등이 있다. 여기서, 정합 회로 및 필터의 소형화를 위해 고 유전율의 재료가 사용되며, 예를 들면, 비유전율이

15-25의 재료가 사용된다. 또한, 유전체층(1a)은 1층이 대략 50-3000  $\mu\text{m}$  정도의 두께를 갖고 있다.

<36> 그리고, 상기 접지전극(2)은 상기 적층체(1)의 표면 및 이면에 형성된 접지전극(2a)과 그 측면에 형성된 접지전극(2b)으로 이루어진다. 상기 접지전극(2)의 재질로는 Ag, Cu 등을 주성분(Ag 구룹 또는 Ag-Pd, Ag-Pt 등의 Ag 합금, Cu 단체 또는 Cu 합금)으로 갖는 도체 재료로 형성되고 있다.

<37> 도 3은 도 2의 정합회로의 부분 확대도이고, 도 4는 도 2의 수신필터 및 정합회로의 등가회로도이다.

<38> 도 3 및 도 4를 참조하면, 상기 정합 회로(7)는 수신 필터(6)의 안테나 단자(42)에 직렬로 접속된 용량 전극(4c, 4b)으로 형성된 용량 성분(C2), 상기 수신 필터(6)의 가장자리의 스트립 라인(32)에 대면한 용량 전극(4d)으로 형성한 용량 성분(C0), 코일부(400)로 형성된 인덕터(L1)로 구성된 T형 회로로 이루어져 있다. 이러한 구성에 있어서, 상기 수신 필터(6)의 임피던스 특성을, 용량 전극(4d)과 메인 스트립 라인부(32a)로 형성한 용량 성분(Ci)의 위상 특성에 의하여 조정하고 정합을 취하고 있다. 즉, 상기 코일부(400)는 굴곡 전극(41a-41c), 비어홀(42a-42c)로 구성되어 있다.

- <39> 이러한 종래의 적층형 듀플렉서에서의 정합회로(7)는 복수의 굴곡 전극과 비어홀을 이용하여 유전체에 나선형으로 형성하여 소형화를 달성하고 있다.
- <40> 그러나, 종래의 적층형 듀플렉서에서의 정합회로에 포함되는 코일부를 나선형상으로 구성하는 경우, 그 나선형상의 구체적인 실시예에 따라 다소 차이는 있겠지만, 정합회로에서 요구되는 전기적인 길이를 구현하여야 하므로, 그 길이 방향의 크기를 줄일 수 있는 만큼 두께 방향의 크기가 증가하게 되므로, 길이방향 및 두께방향 모두를 고려한 소형화에는 한계가 있는 문제점이 있다.
- <41> 이와 같이, 휴대폰 등의 이동통신 단말기에 적용되는 듀플렉서를 소형화하기 위해서는, 정합회로에서는 원하는 전기적인 길이를 단순히 나선형상이나 굴곡 전극 등으로 구현하는 것에는 그 소형화하는 정도에 한계가 있으므로, 이러한 한계를 극복하기 위한 새로운 적층형 듀플렉서에 대한 기술 개발 및 연구가 이루어져야 한다.

**【발명이 이루고자 하는 기술적 과제】**

- <42> 본 발명은 상기한 문제점을 해결하기 위해 제안된 것으로, 그 목적은 안테나단자와 송신단자 및 수신단자 사이의 특성 임피던스( $Z_0$ )의 정합, 송신 및 수신신호 사이의 아이슬레이션을 수행하는 정합회로에 포함되는 도체 패턴의 물리적인 길이를 줄일 수 있도록 함으로써, 보다 소형화가 가능하게 되고, 삽입손실을 개선할 수 있으며, 안테나에서의

반사특성을 개선하여 대역통과 특성을 향상시킬 수 있는 정합회로 및 그 정합회로를 포함하는 적층형 듀플렉서를 제공하는데 있다.

**【발명의 구성 및 작용】**

- <43> 상기한 본 발명의 목적을 달성하기 위해서, 본 발명의 정합회로는
- <44> 복수의 유전체층상에, 안테나단자와 송신단자 및 수신단자 사이에 연결되는 복수의 도체패턴으로 이루어진 적층형 듀플렉서에 있어서,
- <45> 상기 안테나 단자에 연결된 안테나 전극 및 송신 필터에 전기적으로 연결된 도체 패턴으로 이루어진 송신 정합부;
- <46> 상기 송신 정합부의 도체 패턴에 수직방향으로 소정간격 이격된 제1 접지전극;
- <47> 상기 안테나 전극과 및 수신 필터에 전기적으로 연결된 도체 패턴으로 이루어진 수신 정합부; 및
- <48> 상기 수신 정합부의 도체 패턴에 수직방향으로 소정간격 이격된 제2 접지전극
- <49> 를 구비함을 특징으로 한다.
- <50> 또한, 이러한 정합회로를 포함하는 적층형 듀플렉서를 제공하는 것을 특징으로 한다.
- <51> 이하, 본 발명의 바람직한 실시 예가 첨부한 도면을 참조하여 상세히 설명한다. 본 발명에 참조된 도면에서 실질적으로 동일한 구성과 기능을 가진 구성요소들은 동일한 부호를 사용할 것이다.

<52> 도 5는 본 발명에 따른 적층형 듀플렉서의 사시도이고, 도 6은 도 5의 듀플렉서의 정단면도이다.

<53> 도 5 및 도 6을 참조하면, 본 발명에 따른 적층형 듀플렉서는 복수의 유전체층(50)으로 이루어지고, 안테나단자(ANT)와 송신단자(TX) 및 수신단자(RX) 사이에 연결되는데, 이는 상기 송신 단자(TX)에 전기적으로 연결되고, 송신신호를 통과시키기 위해 복수의 스트립 공진 라인을 포함하는 송신 필터(60)와, 상기 수신 단자(RX)에 전기적으로 연결되고, 수신신호를 통과시키기 위해 복수의 스트립 공진 라인을 포함하는 수신 필터(70)와, 상기 송신 필터(60) 및 수신 필터(70)와의 정합을 취하는 정합회로(80)로 구성된다.

<54> 도 7은 도 5의 정합회로의 확대도로서, 본 발명의 정합회로(80)는 송신필터(60)와 안테나단자와의 특성 임피던스( $Z_0$ )(대략  $50\Omega$ )를 매칭시키고, 또한 수신필터(70)와 안테나단자와의 특성 임피던스( $Z_0$ )를 매칭시켜야 하며, 또한, 상기 송신필터(60)측에서는 수신신호의 주파수를 차단시켜야 하고, 또한 수신필터(70)측에서는 송신신호의 주파수를 차단시켜 송신 및 수신간의 아이솔레이션 기능을 수행하여야 한다.

<55> 도 5 내지 도 8을 참조하면, 상기 정합회로(80)는 상기 안테나 단자(ANT)에 연결된 안테나 전극(ANTE) 및 송신 필터(60)에 전기적으로 연결된 도체 패턴으로 이루어진 송신 정합부(81)와, 상기 송신 정합부(81)의 도체 패턴에 수직방향으로 소정간격 이격된 제1 접지전극(GND1)과, 상기 안테나 전극(ANTE)과 및 수신 필터(70)에 전기적으로 연결된 도

체 패턴으로 이루어진 수신 정합부(82)와, 상기 수신 정합부(82)의 도체 패턴에 수직방향으로 소정간격 이격된 제2 접지전극(GND2)을 포함한다.

<56> 상기 송신 정합부(81)의 도체패턴은 상기 안테나 전극(ANTE)과 공간적으로소정 간격 이격되어 형성되고, 상기 안테나 전극(ANTE)과의 사이에 특성 임피던스( $Z_0$ ) 조정을 위한 제1 커패시턴스(C81)를 형성하는 송신측 용량 전극(81a)과, 상기 송신측 용량전극(81a)에서부터 연장되어 상기 송신 필터(60)에 연결되며, 소정의 제1 인덕턴스(L81)를 갖는 굴곡형상으로 이루어진 송신측 스트립 라인(81b)을 포함한다. 상기 송신측 스트립 라인(81b)은 굴곡형상 이외에도 나선형상으로 형성될 수도 있다.

<57> 전술한 바와 같이, 상기 제1 커패시턴스(C81)를 이용하여 특성 임피던스를 제어할 수 있게 되므로, 유전체층으로 고전율의 재료를 사용할 수 있게 되고, 이러한 고전율의 재료의 사용으로 인해 송신과 수신필터의 삽입손실을 줄일 수 있다.

<58> 상기 제1 접지전극(GND1)은 상기 송신 정합부(81)의 송신측 스트립 라인(81b)과 공간적으로 소정 간격 이격되어 형성되고, 상기 송신측 스트립 라인(81b)과의 사이에 위상 조정용 제1 커패시턴스(C83a,C83b)를 형성한다.

<59> 상기 제1 인덕턴스(L81)와 위상 조정용 제1 커패시턴스(C83a,C83b)의 전기적인 길이는 상기 수신신호의 위상을 무한대 임피던스로 변환하는 전기적인 길이로 설정되어, 이러한

위상 변환 기능에 의해서 수신신호를 차단시킨다. 여기서, 위상조정용 제1 커패시턴스(C83a,C83b)의 추가로 인하여 상기 송신측 스트립 라인의 물리적인 길이를 줄일 수 있는데, 이에 대해서 도 9를 참조하여 설명할 것이다.

<60> 그리고, 상기 제1 인덕턴스(L81)와 제1 커패시턴스(C81) 및 위상 조정용 제1 커패시턴스(C83a,C83b)의 등가 임피던스는 상기 송신 정합패턴(81)의 특성 임피던스( $Z_0$ )를 결정한다. 여기서, 상기 송신 정합부(81)의 도체패턴과 상기 안테나 전극(ANTE)간의 사이에 형성되는 제1 커패시턴스(C81)는 상기 도체패턴과 상기 안테나 전극(ANTE)간의 거리 및 전극의 면적에 따라 변경되는 값으로서, 상기 제1 커패시턴스(C81)의 조정을 통해서 특성 임피던스를 용이하게 조정할 수 있다.

<61> 도 5 및 도 6을 참조하면, 상기 송신 필터(60)는 상기 송신 정합부(81)의 송신측 스트립 라인(81b) 일단에 형성된 제1 용량전극(61)과, 상기 송신단자(TX)에 연결된 제2 용량전극(62)과, 상기 제1 용량 전극(61)과 공간적으로 소정 간격 이격되어 형성된 제1 스트립 공진라인(63)과, 상기 제2 용량 전극(62)과 공간적으로 소정 간격 이격되어 형성된 제2 스트립 공진라인(64)과, 상기 제1 스트립 공진라인(63) 및 제2 스트립 공진라인(64) 각각으로부터 공간적으로 소정 간격 이격되어 형성된 제3 스트립 공진라인(65)을 포함한다.



- <62> 상기 송신 필터(60)는 상기 제1 용량전극(61) 및 제2 용량전극(62) 각각으로부터 공간적으로 소정 간격 이격되어 형성된 제1 크로스 커플링 라인(66)과, 상기 제3 스트립 공진라인(65)으로부터 공간적으로 소정 간격 이격되어 형성된 제1 로딩 전극(67)을 더 포함한다.
- <63> 도 6 내지 도 7을 참조하면, 상기 수신 정합부(82)의 도체패턴은 상기 안테나 전극(ANTE)과 공간적으로 소정 간격 이격되어 형성되고, 상기 안테나 전극(ANTE)과의 사이에 특성 임피던스( $Z_0$ ) 조정을 위한 제2 커패시턴스(C82)를 형성하는 수신측 용량 전극(82a)과, 상기 수신측 용량 전극(82a)에서부터 연장되어 상기 수신 필터(70)에 연결되며, 소정의 제2 인덕턴스(L82)를 갖는 굴곡형상으로 이루어진 수신측 스트립 라인(82b)을 포함한다. 상기 수신측 스트립 라인(82b)은 굴곡형상 이외에도 나선형상으로 형성될 수도 있다.
- <64> 상기 제2 접지전극(GND2)은 상기 수신 정합부(82)의 수신측 스트립 라인(82b)과 공간적으로 소정 간격 이격되어 형성되고, 상기 수신측 스트립 라인(82b)과의 사이에 위상 조정용 제2 커패시턴스(C84a, C84b)를 형성한다.
- <65> 상기 제2 인덕턴스(L82)와 위상조정용 제2 커패시턴스(C84a, C84b)의 전기적인 길이는 상기 송신신호의 위상을 무한대 임피던스로 변환하는 전기적인 길이로 설정되어, 이러한 위상변환 기능에 의해서 송신신호를 차단시킨다. 여기서, 위상조정용 제2 커패시턴스

(C84a,C84b)의 추가로 인하여 상기 수신측 스트립 라인의 물리적인 길이를 줄일 수 있는데, 이에 대해서 도 9를 참조하여 설명할 것이다.

- <66> 그리고, 상기 제2 인덕턴스(L82)와 제2 커패시턴스(C82) 및 위상조정용 제2 커패시턴스(C84a,C84b)의 등가 임피던스는 수신신호의 주파수에 대해 상기 수신 정합패턴(82)의 특성 임피던스( $Z_0$ )를 결정한다. 여기서, 상기 수신 정합부(82)의 도체패턴과 상기 안테나 전극(ANTE)간의 사이에 형성되는 제2 커패시턴스(C82)는 상기 도체패턴과 상기 안테나 전극(ANTE)간의 거리 및 전극의 면적에 따라 변경되는 값으로서, 상기 제2 커패시턴스(C82)의 조정을 통해서 특성 임피던스를 용이하게 조정할 수 있다.
- <67> 도 5 및 도 6을 참조하면, 상기 수신 필터(70)는 상기 수신 정합부(82)의 수신측 스트립 라인(82b) 일단에 형성된 제3 용량전극(71)과, 상기 수신단자(RX)에 연결된 제4 용량 전극(72)과, 상기 제3 용량 전극(71)과 공간적으로 소정 간격 이격되어 형성된 제1 스트립 공진라인(73)과, 상기 제4 용량 전극(72)과 공간적으로 소정 간격 이격되어 형성된 제2 스트립 공진라인(74)과, 상기 제1 스트립 공진라인(73) 및 제2 스트립 공진라인(74) 각각으로부터 공간적으로 소정 간격 이격되어 형성된 제3 스트립 공진라인(75)을 포함한다.

<68> 상기 수신 필터(70)는 상기 제3 스트립 공진라인(75)으로부터 공간적으로 소정 간격 이격되어 형성된 제2 크로스 커플링 라인(76)과, 상기 제3 스트립 공진라인(75)으로부터 공간적으로 소정 간격 이격되어 형성된 제2 로딩 전극(77)을 더 포함한다.

<69> 도 8은 도 5의 적층형 듀플렉서의 등가회로도이다.

<70> 도 8에서, 60은 송신필터, 70은 수신필터, 그리고 80은 정합회로이며, 상기 정합회로(80)에서, L81은 상기 송신 정합부(81)의 도체패턴의 인덕턴스에 해당되고, C81은 상기 안테나 전극(ANTE)과 제1 용량 전극(81a) 사이에 형성되는 제1 커패시턴스(C81)에 해당되고, C83a와 C83b는 상기 송신 정합부(81)의 도체 패턴과 제1 접지전극(GND1) 사이에 형성되는 커패시턴스에 해당된다.

<71> 그리고, L82 상기 수신 정합부(82)의 도체패턴의 인덕턴스에 해당되고, C82는 상기 안테나 전극(ANTE)과 수신측 용량 전극(82a) 사이에 형성되는 제1 커패시턴스(C81)에 해당되고, C84a와 C84b는 상기 수신 정합부(82)의 도체 패턴과 제2 접지전극(GND2) 사이에 형성되는 커패시턴스에 해당된다.

<72> 이하, 도 9를 참조하여, 스트립 라인에 커패시터를 추가하는 경우에, 스트립 라인의 물리적인 길이를 짧게 하면서도 원하는 전기적인 길이를 제공할 수 있게 되는 기술적인 배경에 대해서 설명한다.

<73> 도 9는 등가 정합회로도로서, (a)는 단일 스트립 라인으로 이루어진 정합회로도이고, (b)는 스트립 라인 및 그 양측에 접속된 커패시터로 이루어진 정합회로도이다.

<74> 도 9의 (a)에 도시된 단일 스트립 라인으로 이루어진 정합회로를 ABCD 행렬로 표시하면 하기 수학식 1에 보인 바와 같다.

<75>

$$\text{【수학식 1】} \begin{bmatrix} \cos\beta L1 & jZ1 \sin\beta L1 \\ j \frac{\sin\beta L1}{Z1} & \cos\beta L1 \end{bmatrix}$$

<76> 상기 수학식 1에서  $\beta$ 는 위상 상수(Phase Constant)를 의미한다.

<77> 그리고, 도 9의 (b)에 도시한 스트립 라인 및 그 양측에 접속된 커패시터로 이루어진 정합회로를 ABCD 행렬로 표시하면 하기 수학식 2에 보인 바와 같다.

<78>

$$\text{【수학식 2】} \begin{bmatrix} \cos\beta L2 - \omega C Z2 \sin\beta L2 & jZ2 \sin\beta L2 \\ j \frac{\sin\beta L2}{Z2} + 2j\omega C \cos\beta L2 - j(\omega C)^2 Z2 \sin\beta L2 & \cos\beta L2 - \omega C Z2 \sin\beta L2 \end{bmatrix}$$

<79> 상기 수학식 2에서  $\beta$ 는 위상 상수(Phase Constant)를 의미한다.

<80> 도 9의 (a)에 도시된 단일 스트립 라인과 도 9의 (b)에 도시된 회로에 대한 수학식 1 및 2에 나타낸 ABCD 행렬이 특정주파수에서 같다면 두 회로는 등가이므로 동일한 전기적 길이를 갖는다. 예를 들어, " $L1 = \lambda/4 (\beta = 90^\circ)$ "라고 하면 다음의 수학식 3을 만족하면 두 회로는 등가이다.

<81> 
$$Z2 = \frac{Z1}{\sin(\beta L2)}, \quad C = \frac{\omega \cos(\beta L2)}{Z1}$$
 【수학식 3】

<82> 여기서, 상기 수학식 3은 도 9의 (b)에서, " $C1=C2=C$ "일 경우이다. 상기 수학식 3을 만족하면, 상기 수학식 1 및 2의 행렬은 동일한 행렬이고 이때 " $L2$ "의 길이를 " $L1$ "의 반으로 줄이고 싶다면 " $L2 = \lambda/8 (\beta = 45^\circ)$ "이고 하기 수학식 4를 만족해야 한다.

<83> 
$$Z2 = Z1\sqrt{2}, \quad C = \frac{\omega}{Z1\sqrt{2}}$$
 【수학식 4】

<84> 상기 수학식 4를 참조하면, 임의의 주파수( $\omega$ )에서, " $Z1$ "을 고정이라고 하면, " $C$ "값과 " $Z2$ "를 변경하여 스트립 라인의 물리적인 길이인 " $L2$ "를 제어할 수 있음을 알 수 있다.

<85> 도 9의 (a) 및 (b)를 참조하여 설명한 바와 같이, 긴 길이의 스트립 라인의 정합회로는 짧은 길이의 스트립 및 이 양측에서 접지로 접속한 커패시터로 이루어진 정합회로와 임의의 주파수에서 등가임을 알 수 있듯이, 본 발명과 같이, 정합회로(80)의 스트립라인에

서 접지로 커패시턴스를 형성함으로써, 본 발명에 의한 정합회로에서는 하나의 스트립 라인으로 이루어진 정합회로에 비해 임의의 주파수에 대한 전기적인 길이는 동일하지만, 물리적인 길이를 짧게 형성할 수 있게 되므로, 정합회로 및 듀플렉서를 소형화시킬 수 있게 된다.

<86> 도 10은 본 발명의 적층형 듀플렉서의 특성 그래프로서, 도 10은 W-CDMA의 주파수 대역 (TX:1.920-1980MHz, RX:2.110-2.170MHz)에 대한 시뮬레이션 그래프로서, 도 10에서 TXG는 송신신호 통과특성이고, RXG는 수신신호의 통과특성이며, 그리고 ANTG는 안테나단에서의 반사특성 그래프이다. 상기 TXG를 보면, W-CDMA의 송신신호의 주파수대역을 반사에 의한 손실 없이 통과시키는 것을 알 수 있고, 이 대역에서는 안테나단의 반사특성도 우수함을 알 수다. 그리고 RXG를 보면, W-CDMA의 수신신호의 주파수대역을 반사에 의한 손실 없이 통과시키는 것을 알 수 있다, 즉, 이 두 대역에서 안테나단의 반사특성이 우수함을 알 수 있다. 결국 반사특성이 우수하다는 사실은 송신단과 수신단 대역 상호간의 간섭이 최소화 되었음을 의미한다.

<87> 전술한 바와 같은 본 발명에 의하면, 적층형 듀플렉서에 좀더 고전율의 재료가 사용 가능하도록 하였으며 스트립 라인의 물리적 길이가 짧아짐으로써 정합회로로 인한 송신과 수신필터의 삽입손실 증가를 최소화 할 수 있다.

**【발명의 효과】**

- <88> 상술한 바와 같은 본 발명에 따르면, 안테나단자와 송신단자 및 수신단자 사이의 특성 임피던스( $Z_0$ )의 정합, 송신 및 수신신호 사이의 아이솔레이션을 수행하는 정합회로에 포함되는 도체 패턴의 물리적인 길이를 줄일 수 있도록 함으로써, 보다 소형화가 가능하게 되고, 삽입손실을 개선할 수 있으므로, 결국 적층형 듀플렉서의 소형화 및 특성을 향상시킬 수 있는 효과가 있다.
- <89> 즉, 본 발명의 적층형 듀플렉서는 LTCC (Low Temperature Co-fired Ceramic)를 이용한 적층형 듀플렉서에 관한 것으로 기존의 벌크형 일체형 듀플렉서나 SAW 듀플렉서를 대체할 수 있고, 정합회로(Matching Circuit)의 길이를 줄일 수 있으므로 현재 적층형 듀플렉서의 가장 큰 문제점인 삽입손실을 줄일 수 있다. 정합회로의 물리적인 길이를 줄일 수 있으므로 적층형 듀플렉서의 소형화에 기여할 수 있으며, 직렬 커패시터(Capacitor)를 삽입하여 스트립 라인의 특성 임피던스가 더 이상 50ohm이 아니어도 무방하므로 고유전율의 재료사용이 용이하다. 고유전율의 재료사용이 가능하며 송신과 수신필터의 삽입손실을 줄이는데 기여할 수 있다.
- <90> 이상의 설명은 본 발명의 구체적인 실시 예에 대한 설명에 불과하고, 본 발명은 이러한 구체적인 실시 예에 한정되지 않으며, 또한, 본 발명에 대한 상술한 구체적인 실시 예로부터 그 구성의 다양한 변경 및 개조가 가능하다는 것을 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 쉽게 알 수 있다.

**【특허청구범위】****【청구항 1】**

복수의 유전체층(50)상에, 안테나단자(ANT)와 송신단자(TX) 및 수신단자(RX) 사이에 연결되는 복수의 도체패턴으로 이루어진 적층형 듀플렉서에 있어서,

상기 송신 단자(TX)에 전기적으로 연결되고, 송신신호를 통과시키기 위해 복수의 스트립 공진 라인을 포함하는 송신 필터(60);

상기 수신 단자(RX)에 전기적으로 연결되고, 수신신호를 통과시키기 위해 복수의 스트립 공진 라인을 포함하는 수신 필터(70); 및

상기 안테나 단자(ANT)에 연결된 안테나 전극(ANTE) 및 상기 송신 필터(60)에 전기적으로 연결된 도체 패턴으로 이루어진 송신 정합부(81)와, 상기 송신 정합부(81)의 도체 패턴에 수직방향으로 소정간격 이격된 제1 접지전극(GND1)과, 상기 안테나 전극(ANTE)과 및 상기 수신 필터(70)에 전기적으로 연결된 도체 패턴으로 이루어진 수신 정합부(82)와, 상기 수신 정합부(82)의 도체 패턴에 수직방향으로 소정간격 이격된 제2 접지전극(GND2)을 포함하여, 상기 송신 필터(60) 및 수신 필터(70)와의 정합을 취하는 정합회로(80)

를 구비함을 특징으로 하는 적층형 듀플렉서.

**【청구항 2】**

제1항에 있어서, 상기 송신 정합부(81)의 도체패턴은



상기 안테나 전극(ANTE)과 공간적으로소정 간격 이격되어 형성되고, 상기 안테나 전극(ANTE)과의 사이에 특성 임피던스( $Z_0$ ) 조정을 위한 제1 커패시턴스(C81)를 형성하는 송신측 용량 전극(81a); 및

상기 송신측 용량전극(81a)에서부터 연장되어 상기 송신 필터(60)에 연결되며, 소정의 제1 인덕턴스(L81)를 갖는 굴곡형상으로 이루어진 송신측 스트립 라인(81b)

을 포함하는 것을 특징으로 하는 적층형 듀플렉서.

#### 【청구항 3】

제2항에 있어서, 상기 제1 접지전극(GND1)은

상기 송신 정합부(81)의 송신측 스트립 라인(81b)과 공간적으로 소정 간격 이격되어 형성되고, 상기 송신측 스트립 라인(81b)과의 사이에 위상 조정용 제1 커패시턴스(C83a,C83b)를 형성하는 것을 특징으로 하는 적층형 듀플렉서.

#### 【청구항 4】

제3항에 있어서, 상기 제1 인덕턴스(L81)와 위상 조정용 제1 커패시턴스(C83a,C83b)의 전기적인 길이는

상기 수신신호의 위상을 무한대 임피던스로 변환하는 전기적인 길이로 설정되는 것을 특징으로 하는 적층형 듀플렉서.

**【청구항 5】**

제3항에 있어서, 상기 제1 인덕턴스(L81)와 제1 커패시턴스(C81) 및 위상 조정용 제1 커패시턴스(C83a, C83b)의 등가 임피던스는

상기 송신 정합패턴(81)의 특성 임피던스( $Z_0$ )를 결정하는 것을 특징으로 하는 적층형 듀플렉서.

**【청구항 6】**

제2항에 있어서, 상기 송신 필터(60)는

상기 송신 정합부(81)의 송신측 스트립 라인(81b) 일단에 형성된 제1 용량전극(61);

상기 송신단자(TX)에 연결된 제2 용량 전극(62);

상기 제1 용량 전극(61)과 공간적으로 소정 간격 이격되어 형성된 제1 스트립 공진라인(63);

상기 제2 용량 전극(62)과 공간적으로 소정 간격 이격되어 형성된 제2 스트립 공진라인(64); 및

상기 제1 스트립 공진라인(63) 및 제2 스트립 공진라인(64) 각각으로부터 공간적으로 소정 간격 이격되어 형성된 제3 스트립 공진라인(65)

를 포함하는 것을 특징으로 하는 적층형 듀플렉서.

**【청구항 7】**

제6항에 있어서, 상기 송신 필터(60)는

상기 제1 용량전극(61) 및 제2 용량전극(62) 각각으로부터 공간적으로 소정 간격 이격되어 형성된 제1 크로스 커플링 라인(66)을 더 포함하는 것을 특징으로 하는 적층형 듀플렉서.

#### 【청구항 8】

제6항에 있어서, 상기 송신 필터(60)는

상기 제3 스트립 공진라인(65)으로부터 공간적으로 소정 간격 이격되어 형성된 제1 로딩 전극(67)을 더 포함하는 것을 특징으로 하는 적층형 듀플렉서.

#### 【청구항 9】

제1항에 있어서, 상기 수신 정합부(82)의 도체패턴은

상기 안테나 전극(ANTE)과 공간적으로 소정 간격 이격되어 형성되고, 상기 안테나 전극(ANTE)과의 사이에 특성 임피던스( $Z_0$ ) 조정을 위한 제2 커패시턴스(C82)를 형성하는 수신측 용량 전극(82a); 및

상기 수신측 용량 전극(82a)에서부터 연장되어 상기 수신 필터(70)에 연결되며, 소정의 제2 인덕턴스(L82)를 갖는 굴곡형상으로 이루어진 수신측 스트립 라인(82b)

을 포함하는 것을 특징으로 하는 적층형 듀플렉서.

#### 【청구항 10】

제9항에 있어서, 상기 제2 접지전극(GND2)은

상기 수신 정합부(82)의 수신측 스트립 라인(82b)과 공간적으로 소정 간격 이격되어 형성되고, 상기 수신측 스트립 라인(82b)과의 사이에 위상 조정용 제2 커패시턴스(C84a, C84b)를 형성하는 것을 특징으로 하는 적층형 듀플렉서.

**【청구항 11】**

제10항에 있어서, 상기 제2 인덕턴스(L82)와 위상조정용 제2 커패시턴스(C84a, C84b)의 전기적인 길이는

상기 송신신호의 위상을 무한대 임피던스로 변환하는 전기적인 길이로 설정되는 것을 특징으로 하는 적층형 듀플렉서.

**【청구항 12】**

제10항에 있어서, 상기 제2 인덕턴스(L82)와 제2 커패시턴스(C82) 및 위상조정용 제2 커패시턴스(C84a, C84b)의 등가 임피던스는

송신신호의 주파수에 대해 상기 수신 정합부(82)의 특성 임피던스( $Z_0$ )를 결정하는 것을 특징으로 하는 적층형 듀플렉서.

**【청구항 13】**

제9항에 있어서, 상기 수신 필터(70)는

상기 수신 정합부(82)의 수신측 스트립 라인(82b) 일단에 형성된 제3 용량전극(71);

상기 수신단자(RX)에 연결된 제4 용량 전극(72);

상기 제3 용량 전극(71)과 공간적으로 소정 간격 이격되어 형성된 제4 스트립 공진라인(73);

상기 제4 용량 전극(72)과 공간적으로 소정 간격 이격되어 형성된 제5 스트립 공진라인(74); 및

상기 제4 스트립 공진라인(73) 및 제5 스트립 공진라인(74) 각각으로부터 공간적으로 소정 간격 이격되어 형성된 제6 스트립 공진라인(75)

를 포함함을 특징으로 하는 적층형 듀플렉서.

#### 【청구항 14】

제13항에 있어서, 상기 수신 필터(70)는

상기 제3 스트립 공진라인(75)으로부터 공간적으로 소정 간격 이격되어 형성된 제2 크로스 커플링 라인(76)을 더 포함하는 것을 특징으로 하는 적층형 듀플렉서.

#### 【청구항 15】

제13항에 있어서, 상기 수신 필터(70)는

상기 제3 스트립 공진라인(75)으로부터 공간적으로 소정 간격 이격되어 형성된 제2 로딩 전극(77)을 더 포함하는 것을 특징으로 하는 적층형 듀플렉서.

#### 【청구항 16】

복수의 유전체층(50)으로 이루어지고, 안테나단자(ANT)와 송신필터(60) 및 수신필터(70) 사이에 연결되어, 상기 송신 필터(60) 및 수신 필터(70)와의 정합을 취하는 적층형 듀플렉서의 정합회로에 있어서,

상기 안테나 단자(ANT)에 연결된 안테나 전극(ANTE) 및 송신 필터(60)에 전기적으로 연결된 도체 패턴으로 이루어진 송신 정합부(81);

상기 송신 정합부(81)의 도체 패턴에 수직방향으로 소정간격 이격된 제1 접지전극 (GND1);

상기 안테나 전극(ANTE)과 및 수신 필터(70)에 전기적으로 연결된 도체 패턴으로 이루어진 수신 정합부(82); 및

상기 수신 정합부(82)의 도체 패턴에 수직방향으로 소정간격 이격된 제2 접지전극 (GND2)

를 구비함을 특징으로 하는 적층형 듀플렉서의 정합회로.

#### 【청구항 17】

제16항에 있어서, 상기 송신 정합부(81)의 도체패턴은

상기 안테나 전극(ANTE)과 공간적으로소정 간격 이격되어 형성되고, 상기 안테나 전극 (ANTE)과의 사이에 특성 임피던스( $Z_0$ ) 조정을 위한 제1 커패시턴스(C81)를 형성하는 송신측 용량 전극(81a); 및

상기 송신측 용량전극(81a)에서부터 연장되어 상기 송신 필터(60)에 연결되며, 소정의 제1 인덕턴스(L81)를 갖는 굴곡형상으로 이루어진 송신측 스트립 라인(81b)

을 포함하는 것을 특징으로 하는 적층형 듀플렉서의 정합회로.

#### 【청구항 18】

제17항에 있어서, 상기 제1 접지전극(GND1)은

상기 송신 정합부(81)의 송신측 스트립 라인(81b)과 공간적으로 소정 간격 이격되어 형성되고, 상기 송신측 스트립 라인(81b)과의 사이에 위상 조정용 제1 커패시턴스(C83a, C83b)를 형성하는 것을 특징으로 하는 적층형 듀플렉서의 정합회로.

**【청구항 19】**

제18항에 있어서, 상기 제1 인덕턴스(L81)와 위상 조정용 제1 커패시턴스(C83a, C83b)의 전기적인 길이는

상기 수신신호의 위상을 무한대 임피던스로 변환하는 전기적인 길이로 설정되는 것을 특징으로 하는 적층형 듀플렉서의 정합회로.

**【청구항 20】**

제18항에 있어서, 상기 제1 인덕턴스(L81)와 제1 커패시턴스(C81) 및 위상 조정용 제1 커패시턴스(C83a, C83b)의 등가 임피던스는

상기 송신 정합부(81)의 특성 임피던스( $Z_0$ )를 결정하는 것을 특징으로 하는 적층형 듀플렉서의 정합회로.

**【청구항 21】**

제16항에 있어서, 상기 수신 정합부(82)의 도체패턴은

상기 안테나 전극(ANTE)과 공간적으로 소정 간격 이격되어 형성되고, 상기 안테나 전극(ANTE)과의 사이에 특성 임피던스( $Z_0$ ) 조정을 위한 제2 커패시턴스(C82)를 형성하는 수신측 용량 전극(82a); 및

상기 수신측 용량 전극(82a)에서부터 연장되어 상기 수신 필터(70)에 연결되며, 소정의 제2 인덕턴스(L82)를 갖는 굴곡형상으로 이루어진 수신측 스트립 라인(82b)

을 포함하는 것을 특징으로 하는 적층형 듀플렉서의 정합회로.

#### 【청구항 22】

제21항에 있어서, 상기 제2 접지전극(GND2)은

상기 수신 정합부(82)의 수신측 스트립 라인(82b)과 공간적으로 소정 간격 이격되어 형성되고, 상기 수신측 스트립 라인(82b)과의 사이에 위상 조정용 제2 커패시턴스(C84a, C84b)를 형성하는 것을 특징으로 하는 적층형 듀플렉서의 정합회로.

#### 【청구항 23】

제22항에 있어서, 상기 제2 인덕턴스(L82)와 위상조정용 제2 커패시턴스(C84a, C84b)의 전기적인 길이는

상기 송신신호의 위상을 무한대 임피던스로 변환하는 전기적인 길이로 설정되는 것을 특징으로 하는 적층형 듀플렉서의 정합회로.



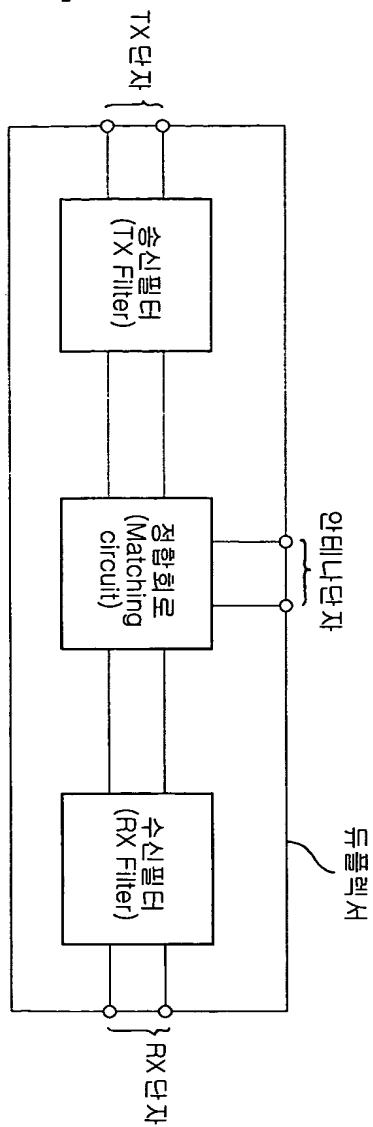


【청구항 24】

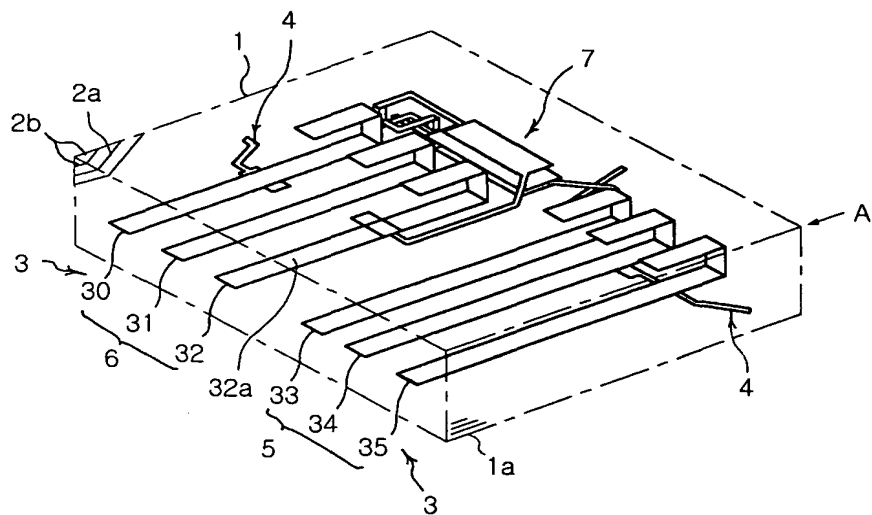
제23항에 있어서, 상기 제2 인덕턴스(L82)와 제2 커패시턴스(C82) 및 위상조정용 제2 커패시턴스(C84a, C84b)의 등가 임피던스는 송신신호의 주파수에 대해 상기 수신 정합패턴(82)의 특성 임피던스( $Z_0$ )를 결정하는 것을 특징으로 하는 적층형 듀플렉서의 정합회로.

【도면】

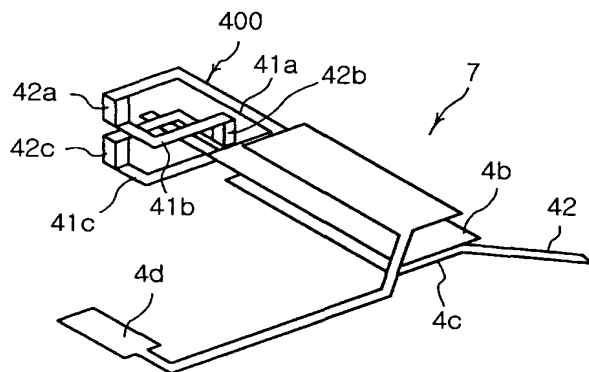
【도 1】



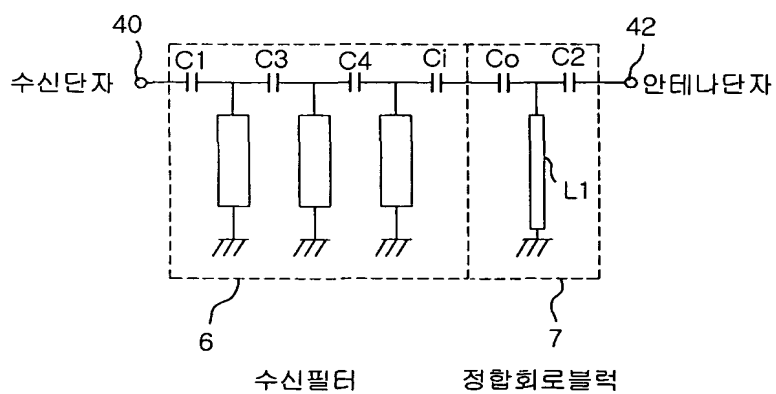
【도 2】



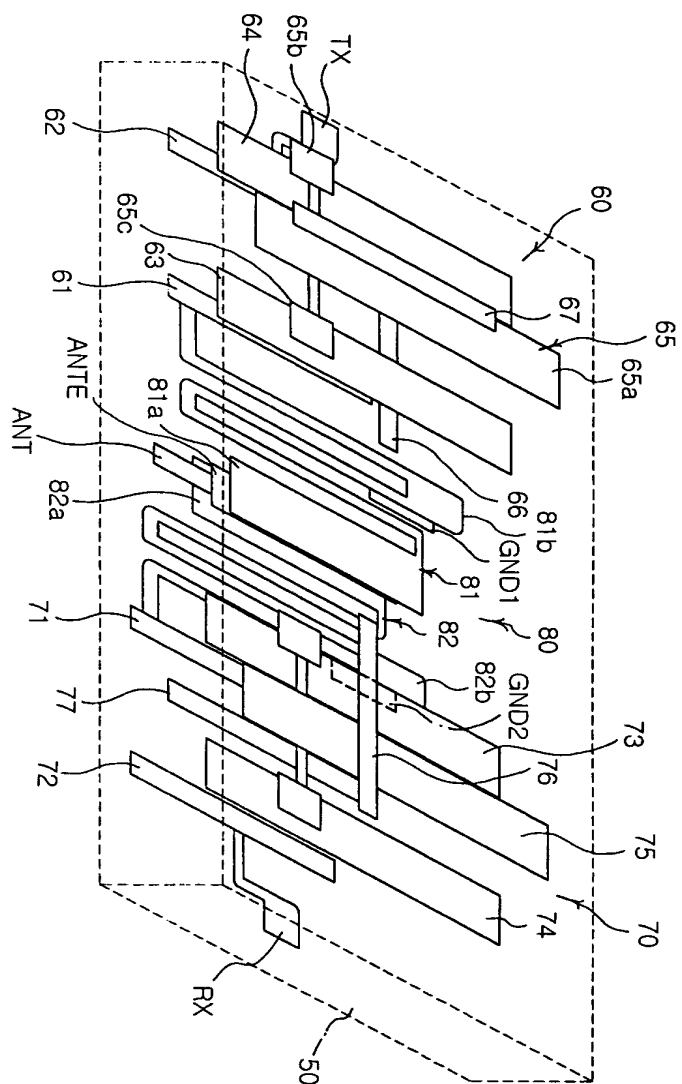
【도 3】



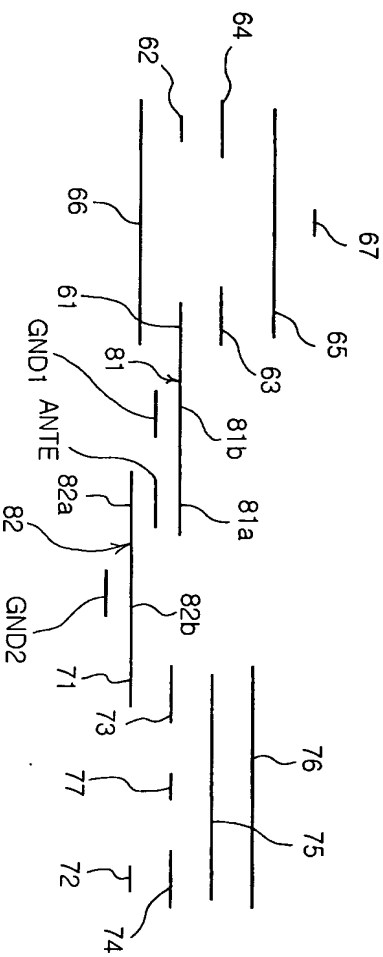
【도 4】



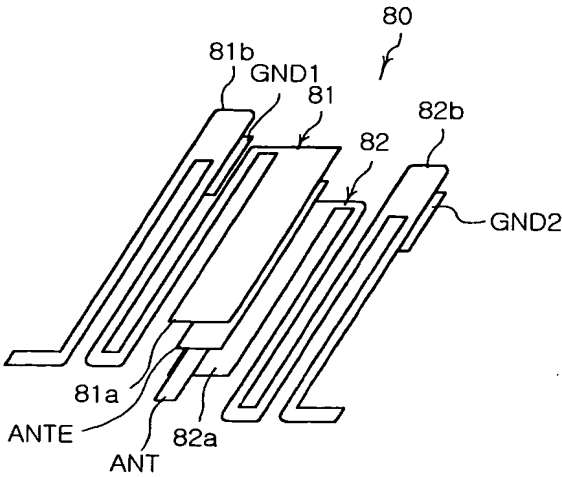
【도 5】



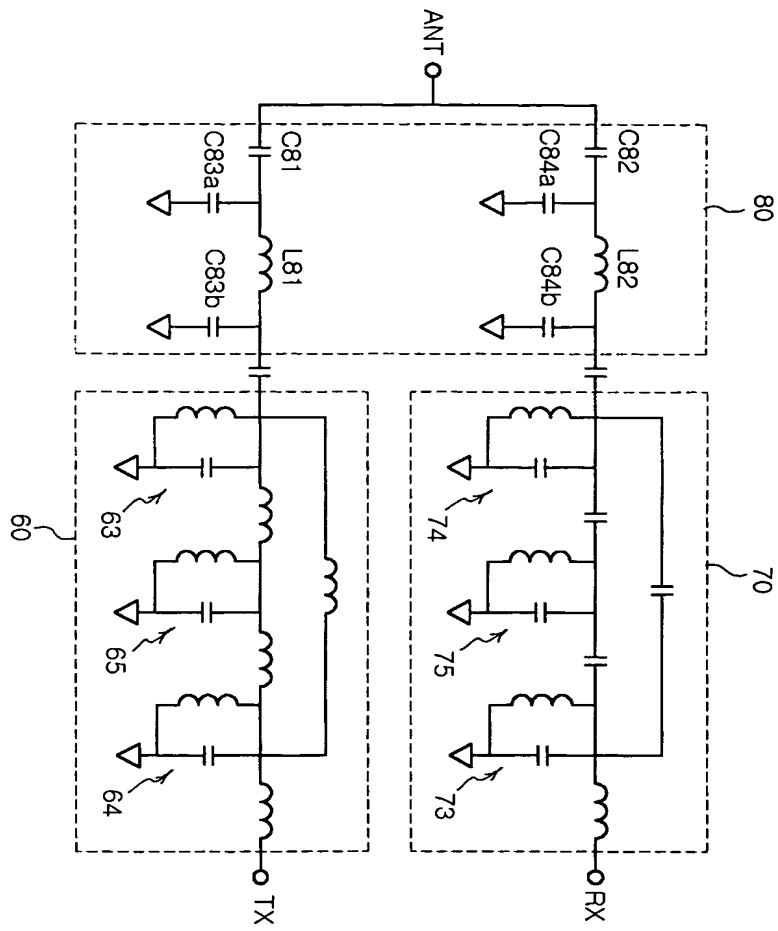
【도 6】



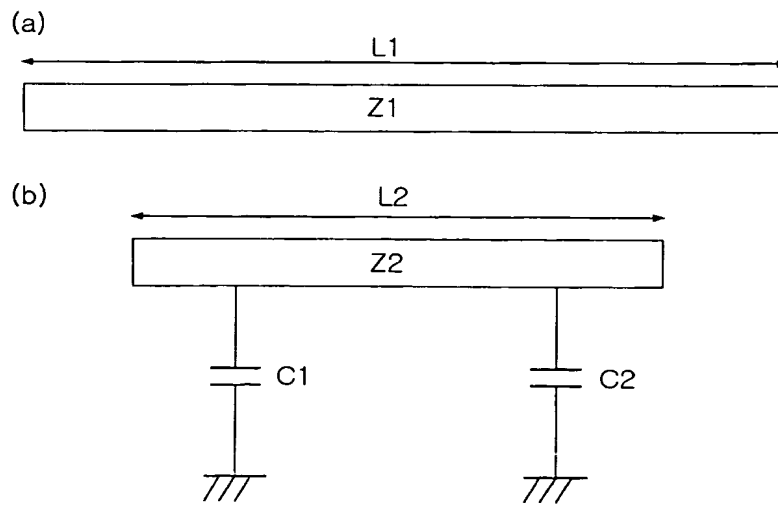
【도 7】



【도 8】



【도 9】



【도 10】

